

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-230311

(43)Date of publication of application : 05.09.1997

(51)Int.Cl. G02F 1/133
G02F 1/1343
G02F 1/136
H01L 29/786

(21)Application number : 08-317140

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 13.11.1996

(72)Inventor : HIRAKATA YOSHIHARU
YAMAZAKI SHUNPEI

(30)Priority

Priority number : 07321075 Priority date : 14.11.1995 Priority country : JP
07350169 23.12.1995

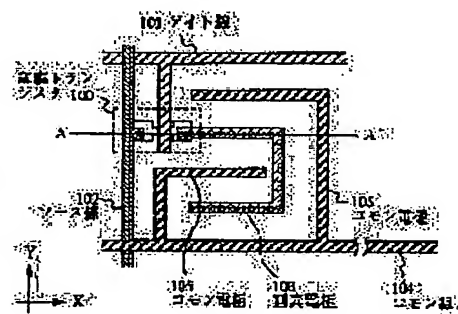
JP

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a pixel electrode from interfering in another signal line in a display device applying electric field in a substrate surface.

SOLUTION: In the configuration of an active matrix type pixel, a common electrode 105 prolonged from a common line 104 held to prescribed potential in the same plane and the pixel electrode 103 becoming a companion to it and connected to a drain of a thin film transistor 100 are arranged in an eddy shape so as to be engaged each other. Then, a liquid crystal is responded by the electric field nearly parallel to a substrate formed between both electrodes 103, 105, and a display is performed. Further, by surrounding the pixel electrode 103 with the common electrode 105, it is prevented that the pixel electrode 103, a gate line 101 and a source line 102 are mutually interfered.



LEGAL STATUS

[Date of request for examination] 20.08.1999
[Date of sending the examiner's decision of rejection] 17.02.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal
[Date of final disposal for application] 21.04.2003

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-230311

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
1/1343			1/1343	
1/136	5 0 0		1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数12 F D (全 13 頁)

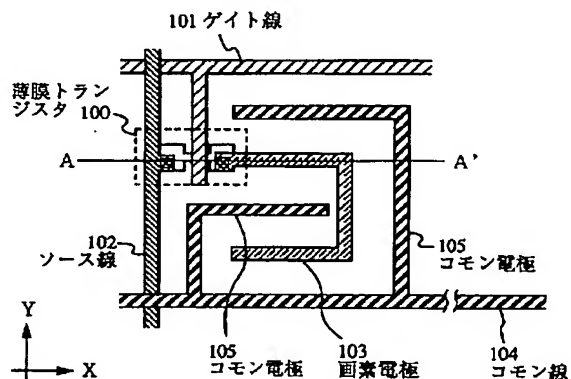
(21) 出願番号	特願平8-317140	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成8年(1996)11月13日	(72) 発明者	平形 吉晴 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31) 優先権主張番号	特願平7-321075	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(32) 優先日	平7(1995)11月14日		
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平7-350169		
(32) 優先日	平7(1995)12月23日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 基板面内で電界を印加する表示装置において、画素電極が他の信号線と干渉することを防止する。

【解決手段】 アクティブマトリクス型の画素の構成において、同一平面内に所定の電位に保持された共通線104から延在した共通電極105と、それと対となる薄膜トランジスタ100のドレインに接続された画素電極103とを互いに噛み合うような渦巻き状に配置する。そして、両電極間103と105に形成される基板に概略平行な電界によって液晶を応答させ表示を行わせる。更に、共通電極105によって画素電極103をとり囲むことにより、画素電極103と、ゲイト線101及びソース線102とが相互干渉することを防止する。



【特許請求の範囲】

【請求項1】 アクティブマトリクス型の液晶表示装置であって、

基板上に格子状に配置されたゲート線及びソース線と、各画素に配置され、前記ゲート線に接続されたゲートと、前記ソース線に接続されたソースとを有する薄膜トランジスタと、
該薄膜トランジスタのドレインに接続された第1の電極と、

所定の電位に保たれたコモン線と、

該コモン線から延在する第2の電極とを有し、

前記第1の電極と前記第2の電極とは互いに噛み合うような渦巻形状に配置されていることを特徴とする表示装置。

【請求項2】 アクティブマトリクス型の液晶表示装置であって、

基板上に格子状に配置されたゲート線及びソース線と、各画素に配置され、前記ゲート線に接続されたゲートと、前記ソース線に接続されたソースとを有する薄膜トランジスタと、
該薄膜トランジスタのドレインに接続された第1の電極と、

所定の電位に保たれたコモン線と、

前記コモン線に接続された第2の電極と、

を有し、

前記第1の電極と前記第2の電極とは、互いの内部に入り込むように配置されていることを特徴とする表示装置。

【請求項3】 請求項1又は請求項2において、前記基板面内において前記第1の電極と前記ソース線の間隙、又は前記第1の電極と前記ゲート線の間隙のうち、少なくともいずれか一方の間隙に配置されている領域を前記第2の電極が有することを特徴とする表示装置。

【請求項4】 請求項1又は請求項2において、前記基板面内において、前記ゲート線又は前記ソース線のうち、少なくともいずれか一方の信号線に前記第1の電極が隣接しないように、前記第2の電極は前記第1の電極を取り囲むように配置されていることを特徴とする表示装置。

【請求項5】 請求項1又は請求項2において、前記第1の電極および前記第2の電極は、同一平面上に形成されていることを特徴とする表示装置。

【請求項6】 請求項1又は請求項2において、前記第1の電極と第2の電極により前記画素部には並列に補助容量が形成されていることを特徴とする表示装置。

【請求項7】 アクティブマトリクス型の液晶表示装置の画素において、

基板上に形成された薄膜トランジスタのドレインに接続された第1の電極と、

該第1の電極との間において前記基板面に平行な成分を

有する電界を発生させるための第2の電極と、

を有し、

前記第1の電極と前記第2の電極はそれぞれ渦巻状の形状を有し、前記基板面内において互いに噛み合う状態で配置されていることを特徴とする表示装置。

【請求項8】 請求項7において、前記第1の電極と第2の電極により前記画素には並列に補助容量が形成されていることを特徴とする表示装置。

【請求項9】 請求項7において、前記第1の電極が前記薄膜トランジスタのゲートに接続されているゲート線、又は前記薄膜トランジスタのソースに接続されているソース線うち、少なくとも一方の信号線と隣接しないように、前記第2の電極は前記第1の電極を取り囲むように配置されていることを特徴とする表示装置。

【請求項10】 請求項8において、前記補助容量の値は、前記第1の電極及び前記第2の電極が成す渦巻きの巻数により決定されることを特徴とする表示装置。

【請求項11】 請求項9において、前記第1の電極および前記第2の電極は、同一平面上に形成されていることを特徴とする表示装置。

【請求項12】 アクティブマトリクス型の液晶表示装置の画素において、

同一基板上に渦巻状に噛み合った一対の電極が形成されており、

前記一対の電極間に前記基板面に概略平行な成分を有した電界が形成される構成を有することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本明細書で開示する発明は、アクティブマトリクス型の表示装置に関するものである。特に、表示装置の素子基板の配線・電極構造に関するものである。

【0002】

【従来の技術】従来より一対の基板間に液晶を挟んで保持し、この液晶にそれぞれの基板の表面に配置された一対の電極から電界を印加し、液晶の光学特性を変化させることによって、表示を行う構成が知られている。

【0003】この従来より用いられている構成は、電界を基板に対して垂直に加えることにより、液晶分子を基板と平行な方向に配したり、基板に垂直な方向に配したりすることを基本的な動作とする。このような動作を行わせることにより、液晶の電気光学的な特性を変化させて、表示を行っている。

【0004】しかし、液晶分子を基板に垂直な方向に配するということは、表示に際して、液晶の光学異方性の影響が大きく表れてしまうことになる。

【0005】例えば、基板に垂直な方向から表示を見た場合と、垂直方向から少しずれた方向から表示を見た場合を考える。この場合、後者の視点からの表示は、液晶

分子の長軸に対して少し傾いた視点からのものとなる。このことは、前者の視点からのものと比較して光学特性が大きく変化してしまうことを意味する。

【0006】この現象の具体的な例としては、ディスプレイを少し斜めから見ると表示が不鮮明になったり、暗くなったりする場合の例を挙げることができる。

【0007】一般にこの問題は視野角の問題として知られている。即ち、液晶ディスプレイの視野角がブラウン管やエレクトロルミネセンス型（EL型）の表示装置に比較して狭いという問題として知られている。

【0008】このような問題を解決する構成として、特公昭63-21907号公報に記載された構成が知られている。

【0009】この構成においては、液晶分子が基板に平行な方向において回転することにより、その光学特性を変化させる。従って、液晶分子が基板に対して垂直になることがなく、前述の視野角の問題を解決することができる。

【0010】図21にこのような基板に平行な方向に液晶分子が回転するような動作を実現するための画素の従来例の構成を示す。

【0011】図21に示す構成において、ゲイト線11、ソース線12は格子状に配置されている。ゲイト線11は薄膜トランジスタ13のゲイト電極に信号を与えるための信号線であり、またソース線12は薄膜トランジスタ13のソースに画像データの信号を供給するための信号線である。

【0012】薄膜トランジスタ13のドレインに接続された画素電極14は、櫛形の形状を有し、他方の櫛形の電極15と噛み合うように配置されている。

【0013】他方の櫛形電極15は所定の電位に保たれた配線16から延在している。

【0014】このような構成とすると、櫛型に形成された一対の電極14と15間において、基板の表面に平行な方向に電界が形成され、それによって液晶分子が基板に平行な方向に回転するような動作を行わせることができる。

【0015】しかし、図21に示す構成においては、17で示される領域において、ソース線12と画素電極14の一部とが隣合う構成となっている。更に、18で示される領域においても、ゲイト線11と画素電極14の一部とが隣合う構成となっている。これは、画素電極14が、ソース線12及びゲイト線11との間での相互干渉を受け易い状態であり、不正確な画像が表示されてしまう原因となる。

【0016】図21に示す構成は、櫛形の電極15を配線16によって列毎に接続したものである。これに対して、図22に示す構成は、櫛形の電極を所定の電位を有する配線を行毎に接続したものである。しかしながら、図22に示すような配置を採用した場合でも、電極間の

相互干渉の問題は存在する。

【0017】図22に示す構成においては、ゲイト線21、ソース線22は格子状に配置され、ゲイト線21は薄膜トランジスタ23のゲイト電極に信号を与えるための信号線であり、またソース線22は薄膜トランジスタ23のソースに画像データの信号を供給するための信号線である。また、薄膜トランジスタ23のドレインには、画素電極24が接続されている。

【0018】また、櫛形の電極25は、所定の電位を有する配線26から延在した電極であり、画素電極24と互いに噛み合うような櫛型に形成されている。これら2つの電極24と25間において基板に平行な方向に電界が形成される。

【0019】図22に示す構成においても27で示される領域において、画素を構成する電極24とソース線22との相互干渉を受け易い状態となる。更に、28で示す領域においても、画素電極24とゲイト線21との間で相互干渉を受け易い状態となっている。

【0020】

【発明が解決しようとする課題】本明細書で開示する発明は、液晶ディスプレイが有する視野角の狭さの問題を解決した構成を提供することを課題とする。また、基板に平行な方向に電界を印加することにより表示を行う構成における問題を解消し、鮮明な画像を表示することができる構成を提供することを課題とする。

【0021】

【課題を解決するための手段】上述の問題点を解決するために本発明に係る表示装置の構成は、アクティブマトリクス型の液晶表示装置であって、基板上に格子状に配置されたゲイト線及びソース線と、各画素に配置され、前記ゲイト線に接続されたゲイトと、前記ソース線に接続されたソースとを有する薄膜トランジスタと、該薄膜トランジスタのドレインに接続された第1の電極と、所定の電位に保たれたコモン線と、該コモン線から延在する第2の電極とを有し、前記第1の電極と前記第2の電極とは互いに噛み合うような渦巻形状に配置されていることを特徴とする表示装置。

【0022】更に、本発明に係る表示装置の他の構成は、アクティブマトリクス型の液晶表示装置であって、基板上に格子状に配置されたゲイト線及びソース線と、各画素に配置され、前記ゲイト線に接続されたゲイトと、前記ソース線に接続されたソースとを有する薄膜トランジスタと、該薄膜トランジスタのドレインに接続された第1の電極と、所定の電位に保たれたコモン線と、前記コモン線に接続された第2の電極と、を有し、前記第1の電極と前記第2の電極とは、互いの内部に入り込むように配置されていることを特徴とする表示装置。

【0023】更に本発明に係る表示装置の他の構成は、アクティブマトリクス型の液晶表示装置の画素において、基板上に形成された薄膜トランジスタのドレインに

接続された第1の電極と、該第1の電極との間において前記基板面に平行な成分を有する電界を発生させるための第2の電極と、を有し、前記第1の電極と前記第2の電極それぞれは渦巻状の形状を有し、前記基板面内において互いに噛み合う状態で配置されていることを特徴とする表示装置。

【0024】更に、本発明に係る表示装置の他の構成は、アクティブマトリクス型の液晶表示装置の画素において、同一基板上に渦巻状に噛み合った一対の電極が形成されており、前記一対の電極間に基板に概略平行な成分を有した電界が形成される構成を有することを特徴とする表示装置。

【0025】

【発明の実施の形態】本明細書で開示する発明に係る表示装置は、同一基板上に画素電極と対向基板とを配置するようにしたものであり、本発明の実施形態の一例を図1を用いて説明する。

【0026】図1には、アクティブマトリクス型の液晶表示装置であって、基板上に格子状に配置されたゲイト線101及びソース線102と、各画素に配置され、前記ゲイト線101に接続されたゲイトと、前記ソース線102に接続されたソースとを有する薄膜トランジスタ100と、該薄膜トランジスタ100のドレインに接続された第1の電極103と、所定の電位に保たれたコモン線104と、該コモン線104から延在する第2の電極105とを有する表示装置を示す。

【0027】図1において、前記第1の電極103と前記第2の電極105とは互いに噛み合うような渦巻形状に配置されている。

【0028】或いは、前記第1の電極103と前記第2の電極105とは、互いの内部に入り込むように配置されている。

【0029】図1に示す構成においては、基板に平行な方向に主な電界の成分を形成するために第1の電極103および第2の電極105は同一平面上に形成されていることが好ましい。なお、必ずしも、第1の電極103と第2の電極105は同一層内に存在していなくともよく、第1の電極103と第2の電極104とは絶縁膜を隔てて、異なる層内に存在してもよい。

【0030】本発明においては、第1の電極と第2の電極を同一基板内に形成すると同時に薄膜トランジスタに接続された第1の電極が、ソース線又はゲイト線のうち少なくとも一方の信号線がつくる電界に干渉されないようにするのが好ましい。

【0031】従って、第1の電極が電界に干渉されないようにするために、本発明では、前記基板面内において前記第1の電極と前記ソース線の間隙、又は前記第1の電極と前記ゲイト線の間隙のうち、少なくともいずれか一方の間隙に配置されている領域を前記第2の電極が有する構成とすることが好ましい。

【0032】上記の構成の実施形態の1つとして、図1に示すように、前記基板面内において、前記第2の電極105が、前記第1の電極103と前記ソース線102の間隙、および前記第1の電極103と前記ゲイト線101の間隙双方に配置されている領域を有する構成をとりうる。

【0033】或いは、図12に示すように、前記基板面内において、前記第2の電極342は、前記第1の電極341と前記ソース線102の間隙だけに配置されている領域を少なくとも有する構成をとりうる。

【0034】また、図12に示すように、前記基板面内において、前記第2の電極352は、前記第1の電極351と前記ゲイト線101の間隙だけに配置されている領域を少なくとも有する構成をとりうる。

【0035】

【実施例】

〔実施例1〕図1は本実施例のアクティブマトリクス型の液晶表示装置の1単位の画素部の概略の上面図であり、図2は図1における線A-A'による概略の断面図である。

【0036】図2に示すように、素子基板200において、ガラス又は石英等の基板201上には、薄膜トランジスタ100のシリコン膜から成る活性層202、ゲイト絶縁膜203が順次に積層され、酸化珪素膜等からなるゲイト絶縁膜203上に、薄膜トランジスタ101のゲイトに接続されたゲイト線101（スキャン線ともいう）が形成される。更に、酸化珪素膜等の第1の層間絶縁膜204が形成され、活性層202のソース／ドレインのコンタクトホールが形成されて、ソースと接続されるソース線（ソース線ともいう）102が形成される。次に、第2の層間絶縁膜205が形成され、活性層202のドレインのコンタクトホールが形成されて、第2の層間絶縁膜205上にドレインに接続された矩形渦巻状の画素電極103と、コモン線104、コモン線104から延在する矩形渦巻状のコモン電極105が形成される。更に、その表面に樹脂等からなる保護膜206、配向膜207が順次に形成される。

【0037】更に、素子基板200と対向される対向基板210において、ガラス又は石英等の基板211の表面に配向膜212が配置される。素子基板200と対向基板210は配向膜207、212側を内側にして、図示しないシール材により貼り合わされて、これらの基板200、210の間隙に液晶材料213が封入されている。

【0038】また、図3は図1に示す電極・配線をマトリクス状に際の構成図であり、図4は素子基板のブロック構成図である。図4に示すように、ゲイト線101とソース線102はマトリクス状に配置され、ゲイト線101はゲイト線ドライバ401に接続され、ソース線102はソース線ドライバ402に接続されている。

【0039】また、コモン電極105は行毎にコモン線104に接続されている。コモン線104は所定の電位 V_{com} に固定されているため、全てのコモン電極105は等しい電位 V_{com} に固定される。なお、電位 V_{com} は例えば接地電位とすればよい。

【0040】更に、図1に示すように、コモン線104から延在した矩形渦巻状のコモン電極105に対して、薄膜トランジスタ100のドレインに接続され画素電極103は噛み合うように、かつ電極間距離をX軸方向、Y軸方向とも一定にされて配置されている。

【0041】図1に示す構成においては、一对の画素電極103とコモン電極105が対向された画素が構成される。表示の際には、これらの2つの電極103と104間に電界が生じて、当該画素領域上に存在する液晶材料213に電界が印加されて、表示が行われる。

【0042】図2に示すように、画素電極103とコモン電極105は同一平面内に構成されているので、この電界は基板201の表面に概略平行な方向に主な成分を有し、この電界によって、液晶分子は基板201に平行な方向に力を受ける。従って、電極103と104間の電界を制御することにより、液晶分子の配向を制御することができ、この液晶分子の配向が変化し、その電気光学特性が変化するため、表示を行うことができる。

【0043】図1に示す構成においては、薄膜トランジスタ100のドレインに接続された画素電極103はコモン電極105によって囲まれ、かつゲイト線101及びソース線102から隔てられている状態となっている。

【0044】従って、コモン電極103を所定の電位に固定することによって、画素電極103がゲイト線101とソース線102からの影響を受けることを抑制することができるので、画素の周囲において滲みのない鮮明で、正確な画像を表示することができる。

【0045】更に、図1に示す構成では、一つの画素において、その中心付近に向かって渦巻状に一对の電極103、105が互いに噛み合うように延在しているので、電極の端部において形成される周辺からの干渉による影響が出にくいという特徴を有する。

【0046】これは、それぞれの電極103、105の端部が画素の中心部に存在することによる。画素の中心部においては、上記のような周辺からの干渉による影響が小さなものとなるからである。

【0047】本実施例では、画素電極103と、コモン電極105とが重ならないので、図2に示すように同一の層内に形成するようにしたが、絶縁物により画素電極103と、コモン電極105とを上下間で分離してもよい。この場合には、画素電極103とコモン電極105の上下の順序は問わないが、電極103、105間で基板に平行な電界の強度を液晶分子の配向を制御することが可能な値とすることが必要になる。

【0048】また、図3、4に示すように、本実施例では、コモン線104によってコモン電極105を行毎に接続したが、列毎にコモン電極105を接続してもよい。この場合の、アクティブマトリクス型液晶表示装置のブロック図を図5に示す。図5において、図4と同一の符号は同一の部材を示す。

【0049】〔実施例2〕本実施例は実施例1の改良例であり、画素電極の渦巻きの巻き数を増加したものである。図6は、本実施例のアクティブマトリクス型の液晶表示装置の1単位の画素部の概略の上面図であり、図1と同一の符号は同一の部材を示す。

【0050】図6においては、図1の画素電極103よりも、画素電極301の電極の巻き数を増加している。これに対応して、コモン電極302の巻き数も増加され、コモン電極302によって、画素電極301を取り囲んで、画素電極301がゲイト線101とソース線102とに隣接しないようにしたものである。

【0051】〔実施例3〕実施例1では、図1に示すように、画素電極103とコモン電極105間での電界は紙面内において、2つのX軸方向の線分、Y軸方向の成分を有することになるため、液晶分子の配向方向が一様でない。このため、一般的に使用されている直線偏光軸を有する偏光板を使用することが困難であるので、場所毎に偏光軸が異なるような特別な偏光板が必要となる。更に、このような偏光板は位置合わせに困難を伴う。

【0052】本実施例は実施例1の変形例であり、上記の問題点を解消して、一様な直線偏光軸を有する一般的な偏光板を使用できるようにしたものである。

【0053】図7は本実施例の画素部の概略の上面図であり、図8は図7における線B-B'による概略の断面図である。なお、図7、8において、図1、2と同一の符号は同一の部材を示す。

【0054】本実施例は、実施例1の画素電極103、コモン電極105の配置を基板面内で変形したものである。実施例1では、画素電極103とコモン電極105をX軸、Y軸両方向に等間隔に配置したが、本実施例では、画素電極311とコモン電極312の電極間隔を部分的にX軸方向の間隔を縮小するようにしている。なお、他の部材の構成は実施例と同様である。

【0055】画素電極311とコモン電極312間の電界は殆ど基板の表面に平行であるが、このようにX軸方向の電極間隔を縮小させることで、この電界のX軸方向の成分を小さくして、主にY成分のみに電界を有するようにすることができる。従って、液晶材料213に基板面に平行に電界を印加することができると同時に、液晶分子の配向の方向を一様にするため、一様な直線偏光軸を有する一般的な偏光板の使用が可能になる。更に、電極間隔を縮小することによって、画素部の開口率が向上されると共に、基板間隔が縮小された電極は画素に並列に接続された補助容量として機能させるこ

とができるという効果も生ずる。

【0056】この補助容量の容量は、画素電極311とコモン電極312が近接している部分の長さで決定することができるので、画素電極301、コモン電極302の巻数を制御することによって、この補助容量の容量を制御することができる。

【0057】例えば、図6に示す画素において、画素電極301とコモン電極302とのX軸方向の間隔を縮小することで、画素電極301とコモン電極302が近接している部分をより長くできるので、より大きな補助容量を付加することができる。

【0058】〔実施例4〕本実施例は実施例3の変形例であり、画素部の開口率を向上するようにしたものである。図9は本実施例のアクティブマトリックス型の液晶表示装置の1単位の画素部の概略の上面図であり、図10は図9における線C-C'による概略の断面図である。なお、図9、10において、図1、2と同一の符号は同一の部材を示す。

【0059】実施例3では、同一平面内で画素電極311とコモン電極312のX軸方向の間隔を縮小したが、本実施例では、図9に示すように、画素電極322とコモン電極323のX軸方向の間隔を更に縮小して、電極321、322の矩形渦巻きの一辺を重ねるようにしたものである。

【0060】このため、画素電極311とコモン電極312が上下間でショートしないように、図10に示すように、第3の層間絶縁膜230によって画素電極321とコモン電極322とを上下方向で分離している。なお、画素電極321とコモン電極322との上下の位置関係を入れ換えてもよい。

【0061】本実施例も、実施例2と同様に、X軸方向の電極321と322間の距離を縮小させることにより、これらの電極321と322間に発生する電界の成分を、基板面に平行で、かつ殆どX成分のない、Y成分を主とすることができる。このため、液晶材料213に基板面に平行に電界を印加することが可能であり、かつ液晶分子の回転軸の方向を一様にするので、一様な直線偏光軸を有するような一般的な偏光板を使用することができる。

【0062】更に、電極321と322はその重なる部分でより大きな補助容量として機能させることができる。また、画素電極321とコモン電極322を間隔を更に縮小して、重ねるようにしたため、画素部の開口率をより向上することができる。

【0063】〔実施例5〕図11に本実施例の概略の構成を示す。本実施例に示す構成は、薄膜トランジスタ100のドレインに接続された画素電極331と、コモン線104から延在するコモン電極331とを曲線形状にしたことを特徴とする。なお、図11において、図1と同一の符号は、同一の部材を示し、電極331、332

以外は、実施例1と同様の構成を有する。従って図4に示すように、ゲイト線101、ソース線102、コモン線104は、格子状に配置されている。

【0064】図11に示すような構成とすると、電極331、332のパターンが直角に曲がるような形状が存在しないので、電極間に均一な電界を形成することができる。

【0065】〔実施例6〕上述した実施例1～5においては、画素電極をゲイト線、ソース線双方に隣接しないように、コモン電極を画素電極とソース線との間隙、及び画素電極とゲイト線との間隙とに配置される形状としたが、以下に示す実施例では、画素電極がソース線又はゲイト線の何れか一方の信号線と隣接しないように、コモン電極を画素電極とソース線又はゲイト線何れか一方との間隙に配置される形状としたものである。

【0066】この場合には、画素電極はゲイト線又はソース線いずれか一方の電位の影響を被ることになるが、コモン電極の占有面積を縮小することができるため、表示に有効な領域の面積が大きくなるという利点が生ずる。

【0067】本実施例はコモン電極を画素電極とソース線との間隙に配置されるようにしたものであり、図12は本実施例の画素領域の概略の上面図であり、図1と同一の符号は同一の部材を示す。

【0068】ゲイト線101とソース線102が、薄膜トランジスタ100に接続されて格子状に配置されている。薄膜トランジスタ100のドレインには、矩形渦巻状の画素電極341が接続されている。更に、所定の電位に固定されたコモン線104から延在したコモン電極342は、画素電極341と同様な矩形渦巻状に形成されている。

【0069】図12に示す構成においては、一对の電極341と342によって画素が構成されている。この2つの電極が粗となって、当該画素領域上に存在する液晶に対して基板に平行な方向を有する電界（主に基板に平行な方向を有する）を印加する構成となっている。

【0070】この構成においては、ソース線102が所定の電位に固定されたコモン線104から延在したコモン電極342によって囲まれた状態となって、画素電極341がソース線102と隣接しないようにしている。コモン線104の電位は適当な電位に設定すればよく、たとえば接地電位とすることができる。

【0071】上記の構成では、画素電極341がソース線102の電位の影響を受けることを抑制することができるので、画素の周囲において滲みのない鮮明な画像を表示することができる。

【0072】本実施例においては、薄膜トランジスタ100のドレインに接続された画素電極341に対して、互いの渦巻形状が噛み合うように同じ平面内にコモン線104から延在したコモン電極342が配置される。そ

して、これら一対の電極341と342の間隔は概略等間隔とされ、これらの電極341、342間において電界が形成される。

【0073】この電界は、基板に概略平行な方向に主な成分を有する電界であり、この電界によって液晶分子は、基板に平行な方向に力を受ける。そしてこの電界強度を制御することにより、液晶分子はこの電界に従い回転する。

【0074】そしてこの液晶分子の回転によって、液晶の電気光学特性が変化し、表示を行うことができる。

【0075】図12に示す方式は、一つの画素において、その中心付近に向かって渦巻状に一対の電極341、342が互いに噛み合うように延在しているので、電極の端部は周辺部との干渉による影響が出にくいという特徴を有する。

【0076】これは、それぞれの電極の端部が画素の中心部に存在することによる。画素の中心部においては、周辺部との干渉による影響が小さなものとなる。

【0077】なお、図12に示す画素の配置状態をマトリクス状に形成したアクティブマトリス型の液晶表示装置の配線の状態を図5に示す。

【0078】〔実施例7〕本実施例はコモン電極を画素電極とゲート線との間隙に配置されるようにしたものであり、図13は本実施例の画素領域の概略の上面図であり、図1と同一の符号は同一の部材を示す。

【0079】ゲート線101とソース線102が、薄膜トランジスタ100に接続されて格子状に配置されている。薄膜トランジスタ100のドレインには、矩形渦巻状の画素電極351が接続されている。更に、所定の電位に固定されたコモン線104から延在したコモン電極352は、画素電極351と同様な矩形渦巻状に形成されている。

【0080】図13に示す構成においては、基板面内で概略等間隔に対峙された一対の電極351と352によって画素が構成されている。この2つの電極が組となって、当該画素領域上に存在する液晶に対して基板に平行な方向を有する電界（主に基板に平行な方向を有する）を印加する構成となっている。なお、本実施例の素子基板の構成は図4に示す構成となる。

【0081】この構成においては、ゲート線101が所定の電位に固定されたコモン線104から延在したコモン電極352によって囲まれた状態となって、画素電極341がソース線102と隣接しないようにしている。コモン線104の電位は適当な電位に設定すればよく、たとえば接地電位とすることができる。

【0082】上記の構成では、画素電極341がソース線102の電位の影響を受けることを抑制することができるので、画素の周囲において滲みのない鮮明な画像を表示することができる。

【0083】〔実施例8〕本実施例は、実施例6に示す

構成に比較してコモン線の配線数を少なくすることができ構成に関する。図14は本実施例の概略の上面図であり、図16は本実施例の素子基板の構成図である。

【0084】図14には、2つの画素領域の概要が示されている。図14に示す構成においては、2つの画素のそれぞれに薄膜トランジスタ507と508が配置されている。薄膜トランジスタ507、508において、それぞれのゲートには同一行のゲート線501が接続され、ソースはソース線505、506にそれぞれ接続されている。更に、ドレインには矩形渦巻状の画素電極502、503がそれぞれ接続されている。なお、図16において、551はゲート線ドライバであり、552はソース線ドライバである。

【0085】図14に示す構成においては、504で示されるコモン線が隣接した2つの列毎に共通なものとなっている。コモン線504からコモン電極509と510が延在し、それぞれ画素電極502と503に概略等間隔に対向して配置されている。このため、電極502と509間、電極503と510間に基板面に平行な電界が生じて、表示を行うことができる。

【0086】本実施例の場合には、図14に示すように1本のコモン線504を隣接する2つの列で共有しているため、コモン線の本数はソース線の本数の1/2にすることができる。これは図5と図16を比較すれば明らかである。

【0087】なお、本実施例では、画素電極502、503、コモン電極509、510の形状を実施例6と同様あるいは、鏡面対称な形状としたが、実施例1～5に示す電極と同様な形状として、画素電極をゲート線、ソース線とも隣接しないようにしてもよい。

【0088】更に、図14において、画素電極502、503とゲート線501との間隙にもコモン線からの延在部分を配置して、画素電極502、503がゲート線501、ソース線505、506とも隣接しないようにすることもできる。

【0089】〔実施例9〕本実施例は、実施例7に示す構成に比較してコモン線の配線数を少なくすることができ構成に関する。図15は本実施例の概略の上面図であり、図17は本実施例の素子基板の構成図である。

【0090】図15には、2つの画素領域の概要が示されている。図15に示す構成においては、2つの画素のそれぞれに薄膜トランジスタ527と528が配置されている。薄膜トランジスタ527、528において、それぞれのソースには同一行のソース線521が接続され、ゲートにはソース線525、526がそれぞれ接続されている。更に、ドレインには矩形渦巻状の画素電極522、523がそれぞれ接続されている。なお、図17において、551はゲート線ドライバであり、552はソース線ドライバである。

【0091】図15に示す構成においては、524で示

されるコモン線が隣接した2つの行毎に共通なものとなっている。コモン線524からはコモン電極529と530が延在し、それぞれ画素電極522と523に概略等間隔に対向して配置されている。このため、電極522と529間、電極523と530間に基板面に平行な電界が生じて、表示を行うことができる。

【0092】本実施例の場合には、図15に示すように1本のコモン線524を隣接する2つの行で共有しているため、コモン線の本数はソース線の本数の $1/2$ にすることができる。これは図4と図17を比較すれば明らかである。

【0093】〔実施例10〕本実施例は、図18に示すようにゲイト線605と606、さらにソース線607と608とで囲まれる領域に配置された2つの画素601と602を1組として、1つの画素を構成することを特徴とする。

【0094】これらの2つの画素は以下の4つの状態を表示することができる。即ち、601と602の画素が共にOFFの状態、601の画素がOFFで602の画素がONの状態、601の画素がONで602の画素がOFFの状態、601と602の画素が共にONの状態を選択することができる。

【0095】このような組み合わせを行うことで、4階調の表示を行うことができる。

【0096】なお図18において、603と604で示される領域は、601、602とは別の画素を構成する領域である。

【0097】また図18に示す構成が特徴とするのは、コモン線609が 2×2 のマトリクス状に配置された4つの画素601と602と603と604とにおいて共通である。更に、本実施例の場合には、4つの画素601～604のコモン電極を列方向で1本のコモン線609で接続するようにしているため、コモン線609の本数は、ソース線の本数に対して $1/2$ になる。このため、本実施例の場合も実施例8と同様に、素子基板の構成は図16のようになる。

【0098】従って、図18に示す構成とすることで、画素の電極構成が複雑でも配線は簡略化したものとすることができる。

【0099】〔実施例11〕本実施例の概略の構成を図19に示す。図19に示すのは、ゲイト線701とソース線702と703、さらにコモン線704によって囲まれた領域に2つの画素領域を配置したことを特徴とする。

【0100】図19において、薄膜トランジスタ707のドレインに接続された画素電極705と、コモン線704から延在したコモン電極709とは対向して配置され、一对の電極を構成する。これらの一对の電極により画素領域が構成され、これら一对の電極間において基板に平行な方向に電界が形成される。

【0101】同様に、薄膜トランジスタ708のドレインに接続された画素電極706と、コモン線704から延在したコモン電極710とは、互いに対になって一对の電極を成し、画素領域を構成している。一对の電極706と710間で基板面に平行な電界が形成される。

【0102】本実施例では、それぞれの画素領域において、画素電極705、706とソース線702、703とが隣接しないように、これらの電極間をコモン電極709、710によって隔てているため、ソース線の電位の影響を抑制することができるため、良好な表示を行うことができる。

【0103】〔実施例12〕図20に本実施例の構成を示す。図20に示す構成は、ゲイト線801、804と、ソース線802、803とで囲まれた領域に4つの画素領域が配置されている。

【0104】これらの4つ薄膜トランジスタ806～809のドレインには矩形渦巻状の画素電極810～813がそれぞれ接続され、所定の電位に固定されたコモン線805から延在したコモン電極814～817はそれぞれ画素電極810～813に同一平面内で対向して配置されて、4つの画素を形成する。

【0105】この4つの画素はそれぞれ独立に利用することもできる。また4つを1群として画素を構成し、面積階調表示を行わせることもできる。

【0106】4つの画素電極810～813はそれぞれコモン電極814～817によって、ソース線802、803と隣接しないようにされているため、良好な表示を行うことができる。

【0107】また、隣接する2つの行毎にコモン電極は1本のコモン線に接続されているため、コモン線の本数をゲイト線の本数が $1/2$ になる。従って、本実施例の素子基板の構成は図17に示される。

【0108】上記の実施例では、薄膜トランジスタをフレナー型としたが、スタガー型等の他構造の薄膜トランジスタを使用することも可能である。この場合には、薄膜トランジスタの電極・配線の接続構造にあわせて、ゲイト線、ソース線、コモン線、画素電極の積層順序を決定すればよく、コモン線と画素電極が重ならない限り、同一層内に配置することが可能である。

【0109】また、上記の実施例では、液晶表示装置について説明したが、本発明は他の電気光学表示装置に適用することも可能である。例えば、エレクトロルミネセンス型(EL型)表示装置に適用することができる。この場合には、素子基板、対向基板の配向膜を省略し、液晶材料の代わりにEL材料を使用すればよい。本発明では、同一基板上に配置された対向電極によって基板の表面に平行な電界が発生するため、EL材料を均一に発光させることができる。

【0110】

【発明の効果】本明細書で開示する発明に係る表示装置

は、同一基板上に画素電極と対向基板とを配置するようにしたため以下のような効果を得る。

【0111】他方の基板には配線を形成する必要がなくなるので、パネル作製工程が容易になり、また基板貼り合わせするための基板間隔のマージンが増大するため、基板の位置合わせが容易になる。

【0112】更に、電極・配線を精度良く形成することが可能になり、電極間距離を正確にすることができるので、画素を高密度に形成することができる。

【0113】更に、従来では、基板間で液晶材を誘電体とする負荷容量が発生しているが、本発明では、同一基板上に画素電極と対向基板とを配置するようにしたため、このような負荷容量が生成することがなくなるため、動作速度が向上され、更に消費電力を削減することもできる。

【0114】また、液晶ディスプレイが有する視野角の狭さの問題を解決した構成を提供することができる。

【0115】更に、本発明では、基板に平行な方向に電界を印加することにより表示を行う構成における問題を解消したため、即ち、薄膜トランジスタのドレイン接続された画素電極（第1の電極）が、少なくともゲイト線又はソース線のいずれか一方と隣接しないようにして、更には、ゲイト線、ソース線双方とも隣接しないようにして、画素電極の電位の乱れを抑制したため、鮮明な画像を表示することができる構成を提供することができる。

【0116】従って、本発明に係る表示装置は、例えば、高精細化が要求されるような空間光変調器として使用することができる。

【図面の簡単な説明】

【図1】 実施例1の画素領域の上面図である。

【図2】 図1の線A-A'における断面図である。

【図3】 実施例のアクティブマトリクス配線構成を示す図？。

【図4】 実施例1の素子基板のブロック構成図である。

【図5】 図4の変形例の素子基板のブロック構成図である。

【図6】 実施例2の画素領域の上面図である。

【図7】 実施例3の画素領域の上面図である。

【図8】 図7の線B-B'における断面図である。

【図9】 実施例4の画素領域の上面図である。

【図10】 図9の線C-C'における断面図である。

【図11】 実施例5の画素領域の上面図である。

【図12】 実施例6の画素領域の上面図である。

【図13】 実施例7の画素領域の上面図である。

【図14】 実施例8の画素領域の上面図である。

【図15】 実施例9の画素領域の上面図である。

【図16】 実施例8の素子基板のブロック構成図である。

【図17】 実施例9の素子基板のブロック構成図である。

【図18】 実施例10の画素領域の上面図である。

【図19】 実施例11の画素領域の上面図である。

【図20】 実施例12の画素領域の上面図である。

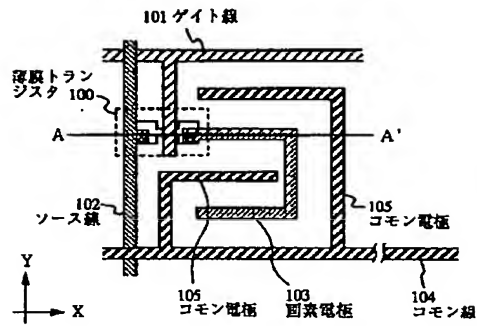
【図21】 従来例の画素領域の上面図である。

【図22】 他の従来例の画素領域の上面図である。

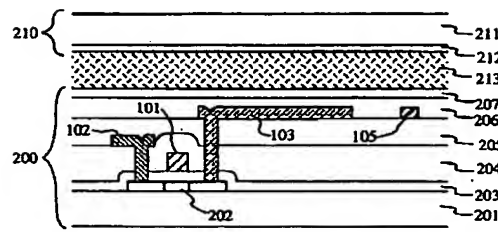
【符号の説明】

101	ゲイト線（ゲイト線）	
103	画素電極	
104	コモン線	
105	コモン電極	
102	ソース線（ソース線）	
100	薄膜トランジスタ	
200	素子基板	
210	対向基板	
601、602、603、604		画素
605、606		ゲイト線
607、608		ソース線
609		コモン線
701	ゲイト線	
702、703	ソース線	
704	コモン線	
705、706	画素電極	
707、708	薄膜トランジスタ	
709、710	コモン電極	
801、804		ゲ
イト線		
802、803		ソ
ース線		
805		コ
モン線		
806、807、808、809		薄膜トラン
ジスタ		
810、811、812、813		画
素電極		
814、815、816、817		コモ
ン電極		

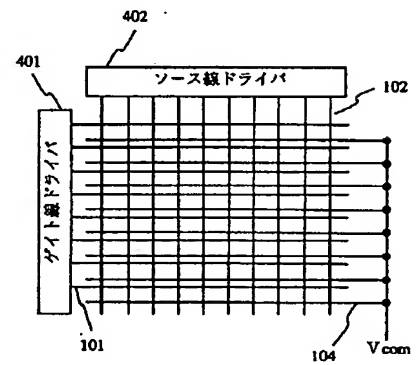
【図1】



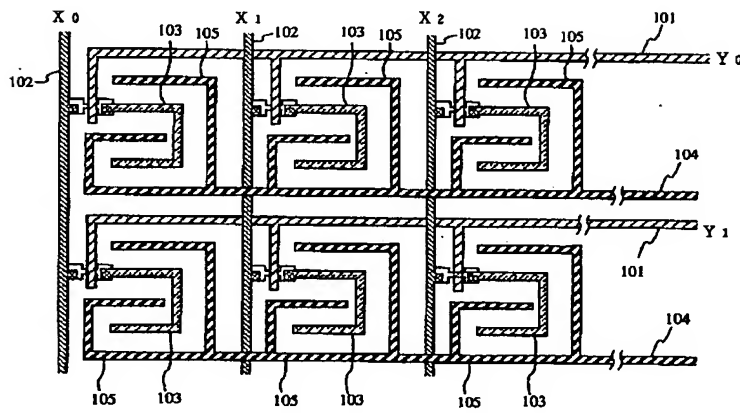
【図2】



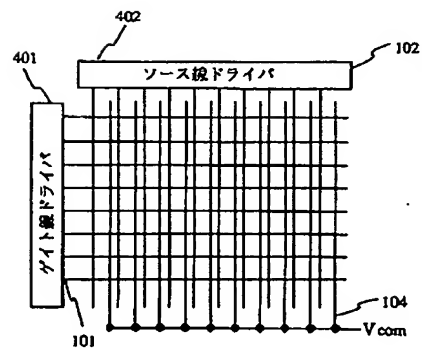
【図4】



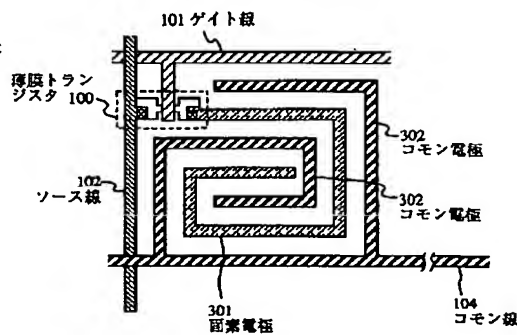
【図3】



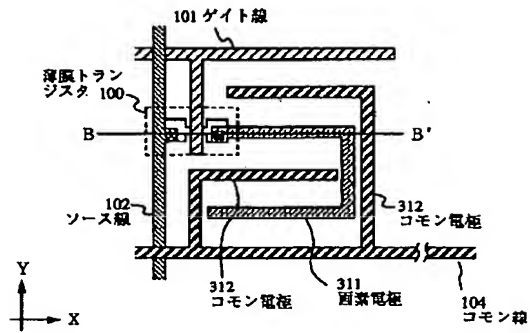
【図5】



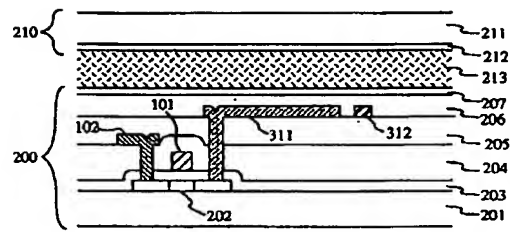
【図6】



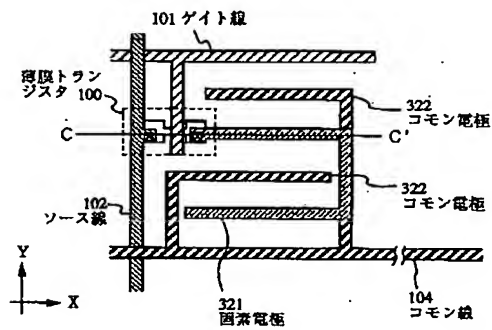
【図7】



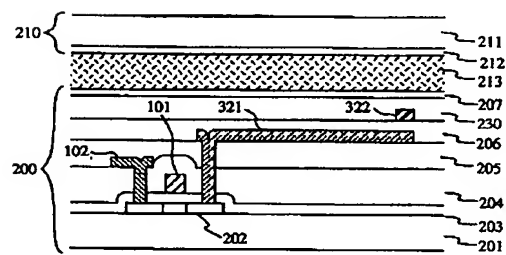
【図8】



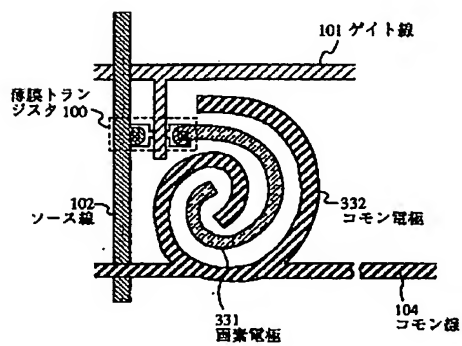
【図9】



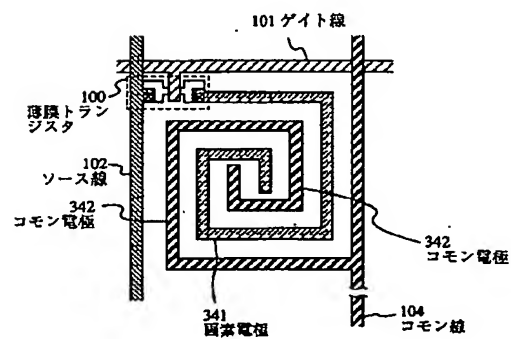
【図10】



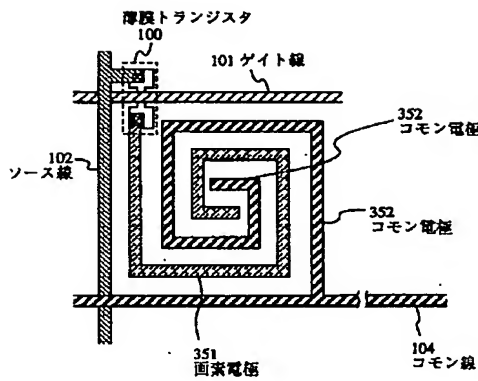
【図11】



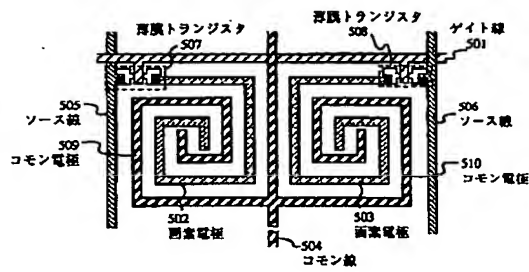
【図12】



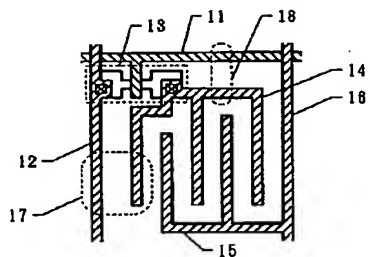
【図13】



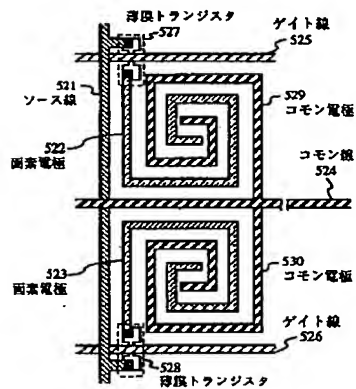
【図14】



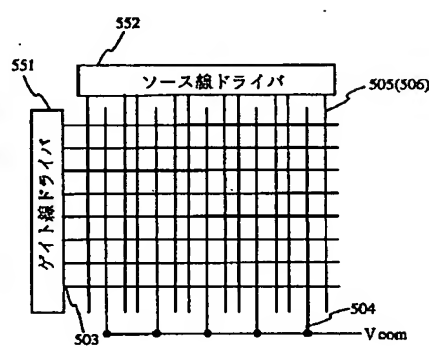
【図21】



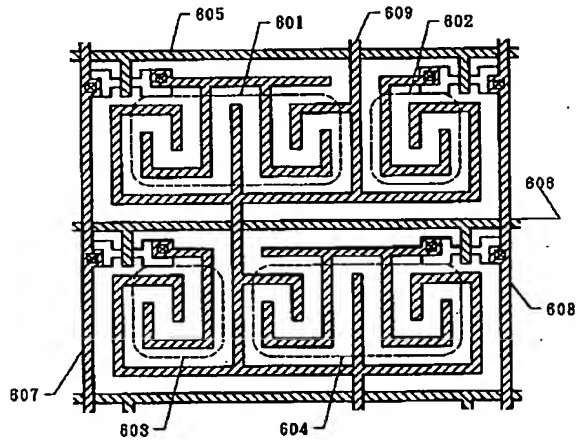
【図15】



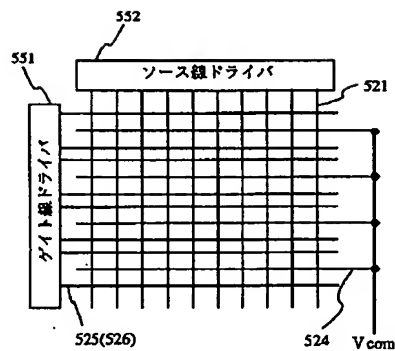
【図16】



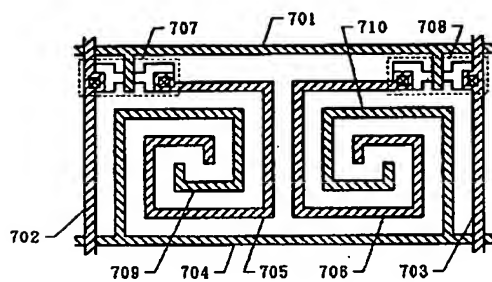
【図18】



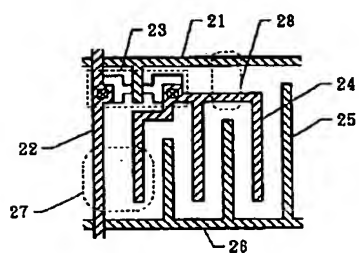
【図17】



【図19】



【図22】



【図20】

